

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

02809637 \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 01-107237 [JP 1107237 A]

PUBLISHED: April 25, 1989 (19890425)

INVENTOR(s): KABUTO NOBUAKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP(Japan)

APPL. NO.: 62-263816 [JP 87263816]

FILED: October 21, 1987 (19871021)

INTL CLASS: [4] G02F-001/133; G02F-001/133

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 911, Vol. 13, No. 349, Pg. 20, August 07, 1989 (19890807)

#### ABSTRACT

PURPOSE: To improve the reliability and display quality of the title device by preventing an image signal voltage applied to a liquid crystal cell from being affected by the gate-source parasitic capacity of each picture element transistor (TR).

CONSTITUTION: Either of two MOS TRs  $M_{ij}$  and  $F_{ij}$  ( $i, j=1, 2, \dots$ ) of each picture element is kept on, so picture element driving electrodes  $S_{ij}$  is connected to a column signal electrode  $D_j$  or nonselection potential supply terminal 5 and a stable potential is obtained. Therefore, variation in source potential (picture element driving electrode potential) caused by gate voltage variation when a picture element TR is turned off owing to the gate-source parasitic capacity of the picture element TR can be suppressed, and the parasitic capacity of the picture element TR exerts no influence upon display characteristics. Consequently, the liquid crystal display device is obtained which has the excellent display characteristics and high reliability.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 1999 European Patent Office. All rts. reserv.

8688312

Basic Patent (No,Kind,Date): JP 1107237 A2 890425 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD

Author (Inventor): KABUTO NOBUAKI

IPC: \*G02F-001/133;

JAPIO Reference No: 130349P000020

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 1107237	A2	890425	JP 87263816	A	871021 (BASIC)
------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 87263816	A	871021
-------------	---	--------

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-107237

⑫ Int.Cl.<sup>4</sup>  
G 02 F 1/133

識別記号  
3 3 2  
3 3 0

庁内整理番号  
8708-2H  
D-8708-2H

⑬ 公開 平成1年(1989)4月25日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 液晶表示装置

⑮ 特 願 昭62-263816

⑯ 出 願 昭62(1987)10月21日

⑰ 発 明 者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

1. 行走走電極と列走走電極により構成されるマトリクス各交点に画素としての液晶素子を配置すると共に、各液晶素子毎に液晶駆動用スイッチング素子としてのMOSトランジスタを配し、前記各MOSトランジスタのゲートを行走走電極に接続し、ドレインを列走走電極に接続し、ソースを液晶素子の液晶駆動電極に接続することにより液晶表示パネルを構成して成る液晶表示装置において、前記MOSトランジスタがオフのとき、対応する液晶素子の液晶駆動電極へ非選択電位を供給する素子を該液晶素子の液晶駆動電極と非選択電位供給源との間に設けたことを特徴とする液晶表示装置。

2. 特許請求の範囲第1項記載の液晶表示装置において、前記非選択電位供給素子が、前記行走走電極とは反転した信号極性をとる第2の行走

走電極にゲートを接続され、ドレインを前記液晶素子の液晶駆動電極に接続され、ソースを前記非選択電位供給源に接続された第2のMOSトランジスタから成ることを特徴とする液晶表示装置。

3. 特許請求の範囲第1項記載の液晶表示装置において、前記非選択電位供給素子が、前記MOSトランジスタとはチャンネルの型を異にする第2のMOSトランジスタであって、そのゲートが前記行走走電極に接続され、ドレインが前記液晶素子の液晶駆動電極に接続され、ソースが前記非選択電位供給源に接続された該第2のMOSトランジスタから成ることを特徴とする液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアクティブマトリクス方式液晶表示装置に係り、特に表示品質を均一にしやすい画素TFT回路構成とその駆動方法を採用した液晶表

## 〔従来の技術〕

従来のアクティブマトリクス液晶表示装置は、テレビジョン学会技術報告75-6(1983年)第29頁から第34頁に論じられているように各画素にスイッチングMOSトランジスタを設け、ドレインバスに印加される画像信号を、ゲートバスに印加される順次選択パルスのタイミングで各画素の液晶セル容量に書き込み、次に順次選択されるまでその画像信号を保持して液晶セルに画像信号電圧を加え続けて表示を行うものであった。

〔発明が解決しようとする問題点〕

各画素トランジスタとして、例えば上記文献にあるような逆スタが構造のアモルファス薄膜トランジスタを用いた場合、ゲート・ソース間寄生容量が比較的大きくなり、各画素の液晶セル容量に比べて無視できないことが多く、画素トランジスタがオンからオフに変化する時のゲート電圧変化がこの寄生容量を通して液晶セル容量に保持している画像信号電圧を変化させてしまう。一方、液晶セル容量は、表示状態(透過、非透過)により

その容量値が2倍程度も変化することがあるため、ゲート電圧変化による画像信号電圧の変化が一定でなくなってしまう。このことは、液晶セルの信頼性の点から、液晶セルに印加する画像信号電圧はある周期で交流化しているが、実際に液晶セルに加わる画像信号電圧に直流成分が加わってしまうことを示しており、表示不良が生じやすくなると考えられる。

本発明の目的は、画素トランジスタの寄生容量が表示特性に影響を及ぼさない、アクティブマトリクス液晶表示装置を提供することにある。

## 〔問題点を解決するための手段〕

上記目的は、各画素に2個以上のスイッチングMOSトランジスタを設け、ほとんどの期間において、少なくとも1個のMOSトランジスタがオンして所定の電圧を各液晶セルに印加することにより、MOSトランジスタのゲート・ソース間寄生容量を通してゲート電圧変化が液晶セルに伝えられたとしても、直ちにオンしているMOSトランジスタにより所定の電圧として、ゲート・ソース

間寄生容量の影響を最小限にとどめる動きをし、達成される。

## 〔作用〕

液晶セルに印加される画像信号電圧が、各画素トランジスタのゲート・ソース間寄生容量に左右されないため、各液晶セルの完全交流駆動化が実現でき、信頼性が高く、表示品質の良いアクティブマトリクス液晶表示装置が得られる。

## 〔実施例〕

第1図は本発明の一実施例を示す液晶表示装置の構成図である。1は1画素を2個のMOSトランジスタ $M_{1,j}$ ,  $F_{1,j}$  ( $j=1, 2, 3, \dots$ )と液晶セル $L_{1,j}$ で構成したアクティブマトリクス方式液晶パネル、2は水平走査回路、3は垂直走査回路、4は垂直走査用シフトレジスタ、5は非選択電位供給端子、6は対向共通電極、 $I_1$ はインバータ、 $D_1$ は列信号電極、 $G_1$ は第一の行走査電極、 $H_1$ は第二の行走査電極、 $S_{1,j}$ は各画素の液晶駆動電極を示す。以下、第1図の実施例を

尚、第2図の動作波形例において、横軸は時刻、縦軸は電位を示している。以下の動作波形を示した図も同様である。

対向共通電位6には0Vの一定電位を与え、非選択電位供給端子5にはフィールド周期 $T_1$ 毎に電位 $V_1$ と $-V_1$ が交互に印加する。第一の行走査電極 $G_1$ は垂直走査用シフトレジスタ4により1フィールド $T_1$ に1回順次時間 $T_2$ の間選択され、選択時に画素トランジスタ $M_{1,j}$ をオンにする電位 $V_{00a}$ が、非選択時には画素トランジスタ $M_{1,j}$ をオフにする電位 $V_{00f}$ を与える。第二の行走査電極 $H_1$ は第一の行走査電極 $G_1$ の電位をインバータ $I_1$ により反転させ、選択時に画素トランジスタ $F_{1,j}$ をオフにする電位 $V_{00f}$ が、非選択時には画素トランジスタ $F_{1,j}$ をオンにする電位 $V_{00a}$ を与える。列信号電極 $D_1$ には選択された、行の画素に相当する画像信号が水平走査回路2より供給され、画像を表示している。

第2図の動作波形例では電圧を加えない時に黒

品セルを用い、1列目の1行目と2行目の画素をそれぞれ白表示と黒表示する場合を想定している。時刻 $t_1$ において、第一の第1行走差電極 $G_1$ がオン電位 $V_{on1}$ 、第二の第1行走差電極 $H_1$ がオフ電位 $V_{off1}$ になり、第1行の画素トランジスタ $M_{11}$ はオン、 $F_{11}$ はオフと選択状態になる。同時に、第1列信号電極 $D_1$ には白表示信号電位 $V_1$ が出力され、第1行第1列の画素駆動電極 $S_{11}$ に白表示信号電位 $V_1$ が印加される。この時、第一の第2行走差電極 $G_2$ がオフ電位 $V_{off2}$ 、第二の第2行走差電極 $H_2$ がオン電位 $V_{on2}$ になっており、第2行の画素トランジスタ $M_{21}$ がオフ、 $F_{21}$ がオンと非選択状態になる。非選択電位供給端子5には非選択電位 $V_2$ が与えられているので、第2行第1列の画素駆動電極 $S_{11}$ に非選択電位 $V_2$ が印加される。

時刻 $t_1$ から1行選択時間 $T_1$ 経過後の時刻 $t_2$ において、第一の第1行走差電極 $G_1$ がオフ電位 $V_{off1}$ 、第二の第1行走差電極 $H_1$ がオン電位になり、時刻 $t_2$ からフィールド周期 $T_1$ 経過後の時

刻 $t_3$ には時刻 $t_1$ まで非選択電位 $V_2$ が与えられているので、第2行第1列の画素駆動電極 $S_{11}$ に非選択電位 $V_2$ が時刻 $t_2$ まで印加される。

時刻 $t_2$ からフィールド周期 $T_1$ の間すなわち第2フィールドは、時刻 $t_2$ からフィールド周期 $T_1$ の間すなわち第1フィールドと同様な行走差を行うが、非選択電位供給端子5と列信号電極 $D_1$ に与える電圧の極性を反対にする。従って、第2フィールドにおいて、各画素駆動電極 $S_{11}$ に印加される信号の波形は、第1フィールドの信号波形の極性を反転したものになる。

以下、時刻 $t_2$ から始まる第3フィールド、時刻 $t_3$ から始まる第4フィールドと、フィールド周期 $T_1$ 毎に順次極性が反転した信号波形が各画素駆動電極 $S_{11}$ に加わり、 $2T_1$ 周期の交流波形となる。対向共通電極6の電位は0であるから、各画素の液晶セル $L_{11}$ の両端間に印加される電圧波形は、各画素駆動電極 $S_{11}$ の信号波形に等しい。液晶セル $L_{11}$ の明るさは、液晶セル $L_{11}$ に印加される交流信号電圧の実効値に依存

し、時刻 $t_2$ まで、第1行の画素トランジスタ $M_{11}$ がオフ、 $F_{11}$ がオンと非選択状態になる。非選択電位供給端子5には非選択電位 $V_2$ が与えられているので、第1行第1列の画素駆動電極 $S_{11}$ に非選択電位 $V_2$ が、時刻 $t_2$ まで印加される。第1行が非選択状態になる時刻 $t_2$ において、第一の第2行走差電極 $G_2$ がオン電位 $V_{on2}$ 、第二の第2行走差電極 $H_2$ がオフ電位になり、第2行の画素トランジスタ $M_{21}$ がオン、 $F_{21}$ がオフと選択状態となる。同時に第1列信号電極 $D_1$ には黒表示信号電位0が出力され、第2行第1列の画素駆動電極 $S_{11}$ に黒表示信号電位0が印加される。

時刻 $t_2$ から1行選択期間 $T_1$ 経過後の時刻 $t_3$ において、前述したように、第1行第1列の画素駆動電極 $S_{11}$ には非選択電位 $V_2$ が印加されている。一方、第一の第2行走差電極 $G_2$ がオフ電位 $V_{off2}$ 、第二の第2行走差電極 $H_2$ がオン電位 $V_{on2}$ になり、時刻 $t_3$ からフィールド周期 $T_1$ 経過後の時刻 $t_4$ まで、第2行の画素トランジスタ $M_{21}$ がオフ、 $F_{21}$ がオンと非選択状態になる。非選択電位供給

し、例えば、第9図のような表示特性を持っている。ここで、白表示である第1行第1列の液晶セル $L_{11}$ に印加される電圧波形は第2図の $S_{11}$ の波形であるから、その実効電圧 $V_{11}$ は次式で与えられる。

$$V_{11} = \sqrt{\frac{1}{T_1} \{ T_2 \cdot V_1^2 + (T_1 - T_2) V_2^2 \}} \quad \text{①}$$

同様に、黒表示である第2行第1列の液晶セル $L_{21}$ に印加される実効電圧 $V_{21}$ は次式で与えられる。

$$V_{21} = \sqrt{\frac{T_1 - T_2}{T_1}} \cdot V_1 \quad \text{②}$$

②式を用いると、①式は次のように表わせる。

$$V_{11} = \sqrt{\frac{T_1}{T_1} V_1^2 + V_{21}^2} > V_{21} \quad \text{③}$$

従って、 $V_1$ 及び $V_2$ の電圧を適当に選ぶことにより、液晶セル $L_{11}$ の実効電圧 $V_{11}$ が黒表示輝度 $B_b$ となる実効電圧 $V_b$ 、液晶セル $L_{21}$ の実効電圧 $V_{21}$ が白表示輝度 $B_w$ となる実効電圧 $V_w$ に設定することができる。

また、電圧 $V_2$ を適当に変化させることにより、液晶セル $L_{11}$ の実効電圧 $V_{11}$ の値を黒表示実効電圧 $V_b$ から白表示実効電圧 $V_w$ の範囲で任意に設

定できるので、中間調の表示も容易に実現できる。

このように、第1図の実施例の液晶表示装置を、第2図の動作波形例に示す駆動方式で駆動することにより、各画素中の2個の画素トランジスタ $M_{11}$ と $F_{11}$ の内どちらかがオン状態になるため、画素駆動電極 $S_{11}$ は列信号電極 $D$ 、又は非選択電位供給端子5に接続され、安定な電位が与えられる。従って、前述した従来の液晶表示装置において問題となった、画素トランジスタのゲート・ソース間寄生容量による、画素トランジスタのオフ時のゲート電圧変化が与えるソース電位（画素駆動電極電位）変化を抑制することができ、液晶セルを完全交流駆動化し、良好な表示特性を得ることができる。

第1図の実施例の他の駆動方法を第3図の動作波形例を用いて説明する。第2図の動作波形例と行走電極 $G_{11}$ 、 $H_{11}$ に印加する信号波形は同一であるが、対向共通電極6の電位が0と一定であった第2図の動作波形例に対し、第3図の動作波形例では、対向共通電極6の電位がフィールド周

期毎に0と $V_1$ に切換る点が大きく異なる。各画素の液晶セル $L_{11}$ に印加される電圧波形は各画素駆動電極 $S_{11}$ の電位波形から、対向共通電極6の電位波形を引いたものであるから、対向共通電極6が一定電位0である第2図の動作波形例を用いた場合と、対向共通電極6が電位0と $V_1$ に切換る第3図の動作波形例を用いた場合の各画素の液晶セル $L_{11}$ に印加電圧波形を等しくするために、第3図の動作波形例では対向共通電極6が電位0である間、例えば時刻 $t_1$ から時刻 $t_2$ の間は画素駆動電極 $S_{11}$ の電位が液晶セル $L_{11}$ に印加電圧（すなわち第2図における画素駆動電極 $S_{11}$ の電位）と等しく、対向共通電極6が電位 $V_1$ である間、例えば時刻 $t_2$ から時刻 $t_3$ の間は画素駆動電極 $S_{11}$ の電位が液晶セル $L_{11}$ に印加電圧（すなわち第2図における画素駆動電極 $S_{11}$ の電位）に電圧 $V_1$ を加えた電位になるように、列信号電極 $D_{11}$ 及び非選択電位供給端子5を駆動する。すなわち、対向共通電極6と非選択電位供給端子5、列信号電極 $D_{11}$ に印加する信号波形を、奇数

フィールド（例えば時刻 $t_1$ から $t_2$ の間や時刻 $t_2$ から $t_3$ の間など）ではそれぞれ第2図の動作波形例と同じ信号波形とし、偶数フィールド（例えば時刻 $t_2$ から $t_3$ の間など）ではそれぞれ第2図の動作波形例に電圧 $V_1$ を加えた信号波形を用いている。

このように、第3図の動作波形例を用いることにより、列信号電極 $D_{11}$ に印加する最大信号電圧振幅 $V_{pp}$ は、

$$\left. \begin{array}{l} V_1 \geq V_2 \text{ の時 } V_{pp} = V_1, \\ V_1 < V_2 \text{ の時 } V_{pp} = 2V_1 - V_2, \end{array} \right\} \textcircled{4}$$

で与えられる。従って、 $V_2 = V_1$ とすれば、水平走査回路2の最大出力電圧振幅 $V_{pp}$ は $V_{pp} = V_1 = V_2$ となるため、第2図の動作波形例における最大出力電圧振幅 $V_{pp} = 2V_1$ の半分ですむため、水平走査回路の最大定格電圧の低減及び消費電力の低減に効果がある。

第3図の動作波形例を用いる場合でも、前述のように、電圧 $V_1$ を適当に変化させることにより、中間調表示も容易に実現できる。

第4図は、第1図の実施例の液晶表示装置において、中間調表示を実現するために必要な水平走査回路2の具体的実現例を示す構成図である。7は線順次走査回路、8は水平走査用シフトレジスタ、9は2分周器、10は論理ゲート、11はアナログスイッチ、12はホールド容量、13及び16は切換スイッチ、14はバッファアンプ、15はアナログ極性反転アンプ、17は水平走査クロック端子、18は水平走査開始端子、19は映像信号端子である。

例えばテレビ表示を行う場合、水平走査クロック端子17には液晶パネルの水平画素数に応じた高速クロックを入力し、水平走査開始端子18には水平同期信号に同期した水平走査開始信号を入力し、シフトレジスタ8から水平画素数分の順次選択信号を得る。アナログスイッチ11とホールド容量12で構成されるサンプルホールド回路を列信号電極 $D_{11}$ 駆動出力1個当たり2系統持ち、水平走査開始信号を2分周器9に入力して得た水平走査周期 $T$ 毎に反転する論理信号により論理ゲ

ート10及び切換スイッチ13を制御して、第1系統サンプルホールド回路がシフトレジスタ8の順次選択出力によりサンプリング動作する水平走査周期中は第2系統サンプルホールド回路のホールド電圧をバッファアンプ14を通して出力し、次の水平走査周期においては第1系統が出力、第2系統がサンプリングと、水平走査周期毎に入れ代わる。このような動作をする回路7は繰順次走査回路と呼ばれる。

一方、適当に増幅及び直流分を与えられた画像信号が映像信号端子19に入力され、極性反転アンプにより極性が反転した画像信号を形成し、フィールド毎に切替わる切換スイッチ16によりフィールド毎極性反転画像信号を得、繰順次走査回路7に入力することにより、容易に、中間調表示可能な水平走査回路2が構成できる。

第5図は、第1図の実施例の液晶表示装置において中間調表示を実現できる水平走査回路2の他の具体的実現例を示す構成図である。20はA/D変換器、21はラインメモリ、22はパルス幅

変調器、23は切換スイッチ、24及び25は電圧印加端子である。第4図の実現例と異なる点は、第4図の実現例では列信号電極D<sub>i</sub>にアナログ画像信号を印加しているのに対し、第5図の実現例ではパルス幅変調により2値の電圧を切換えて与えることにより、中間調表示を実現している点である。まず、このようなパルス幅変調による中間調表示の原理を、第6図に示す第1図の実施例の動作波形例により説明する。

動作波形例を示す第6図は、第2図や第3図の動作波形例の時間軸方向のスケールを2倍に拡大して示してある。第6図の動作波形例は第3図の動作波形例において、 $V_1 = V_2$ の条件を入れており、例えば、時刻 $t_1$ と $t_{1.1}$ の間のある時刻 $t_{1.1}$ において、列信号電極D<sub>i</sub>の電位をV<sub>1</sub>から0に変化させている点が異なる。行走電極G<sub>i</sub>、H<sub>i</sub>の駆動波形は第2図や第3図の実施例と同様である。

時刻 $t_1$ から、時刻 $t_{1.1}$ までの時間を $\tau_1$ とすると、第1行第1列の液晶セルL<sub>1.1</sub>に印加される

効電圧 $V_{1.1}'$ は、①式と同様に、次式で与えられる。

$$V_{1.1}' = \sqrt{\frac{1}{T_1} (\tau_1 \cdot V_1^2 + (T_1 - \tau_1) V_2^2)} \quad \text{--- ⑤}$$

従って、パルス幅 $\tau_1$ を $0 \leq \tau_1 \leq T_1$ の範囲内で変化させることにより、 $V_{1.1}'$ は下記の範囲内で任意の実効電圧をとることができる。

$$\frac{T_1 - T_2}{T_1} \cdot V_2 \leq V_{1.1}' \leq \sqrt{\frac{1}{T_1} (T_1 \cdot V_1^2 + (T_1 - T_2) V_2^2)} \quad \text{--- ⑥}$$

このようにして、第2図の動作波形例における中間調表示について説明したように、パルス幅変調によっても、中間調表示は可能である。

続いて、水平走査回路2をパルス幅変調方式で実現するための具体的実現例である第5図についてその動作を説明する。映像信号端子19にはアナログ画像信号が印加され、A/D変換器20によりデジタル画像信号に変換した後、ラインメモリ21に加えられ、1水平走査周期分のデジタル画像信号をたくわえ、一斉に、列信号電極D<sub>i</sub>の数に応じたパルス幅変調器22に与えられる。一方、電圧印加端子24と25はそれぞれ電位V<sub>1</sub>及び0を与えておき、パルス幅変調器22

の出力により切換スイッチ23を制御することにより、容易に第6図の列信号電極D<sub>i</sub>の信号波形が形式できる。

このように、デジタル信号で容易に水平走査回路を動作させることができるので、将来普及していくと思われる高画質デジタルTVへの応用が容易となる。また、入力される画像信号で想定されている電圧輝度特性が、液晶表示素子と一致しない場合に必要となる、補正回路（いわゆるガンマ補正回路）は、A/D変換器20を通る前にアナログ信号処理で行っても良いし、A/D変換器20とラインメモリ21の間でデジタル処理を行っても良い。また、パルス幅変調器22の特性をノンリニアにして実現しても良い。

本発明の他の実施例を第7図に示す。第1図の実施例と異なる点は、液晶パネル31において、各画素にある2個の画素トランジスタを異なる型のトランジスタで構成し、第二の行走電極H<sub>i</sub>を削除した点である。すなわち、N<sub>i</sub>はN型MOSトランジスタ、P<sub>i</sub>はP型MOSトランジ



スタを用い、各画素内のトランジスタのゲートは同一の行走走電極 $G_m$ に接続している。

第1図の実施例では、各画素内の2個の画素トランジスタを同型で構成していたため、常にどちらか一方のトランジスタだけオン状態とし、他方をオフ状態とするためには、互いに極性が反転した2本の行走走電極を各行毎に設ける必要があったが、第6図の実施例を用いれば、2個のトランジスタの型が異なるため、各行毎に1本の行走走電極しか必要とせず、しかも、第1図の実施例と同様な動作が期待できる。

このように、第6図の実施例では第1図の実施例の行走走電極数を半減できるので、垂直走査回路の出力数及び液晶パネルとの接続数の半減効果、歩留りの向上、開口率の向上等の効果があり、表示特性向上、低コスト化が図れる。

本発明のさらに他の実施例を第8図に示す。第1図の実施例と異なる点は液晶パネル1にあった画素トランジスタ $F_m$ を液晶パネル32では抵抗素子 $R_m$ に置き換え、第7図の実施例と同じ

ように、第二の行走走電極 $H_m$ を削減した点である。画素トランジスタ $M_m$ のオン抵抗より小さくしておくことにより、行走走電極 $G_m$ が選択状態となり画素トランジスタ $M_m$ がオンした時は、列信号電極 $D$ の信号波形が液晶セル $L_m$ に印加され、行走走電極 $G_m$ が非選択状態となり、画素トランジスタ $M_m$ がオフした時は非選択電位供給端子5の信号波形が抵抗素子 $R_m$ を通して液晶セル $L_m$ に印加されるので、第1図の実施例と同様な動作が期待できるのは明らかである。抵抗素子 $R_m$ は理想的な抵抗素子でなくとも、例えば、MOSトランジスタのゲートとソースあるいはドレインと接続して得られる2端子素子や非線形素子でも良い。

このように、第7図の実施例では異なる型の画素トランジスタが必要であったが、第8図の実施例では単一の型の画素トランジスタですむため、生産性が向上する効果がある。

#### 〔発明の効果〕

以上で述べてきたように、本発明によれば、

MOSトランジスタのゲート・ソース間寄生容量による各画素の液晶セルへの直流電圧成分印加を防止することができ、表示特性が良好でかつ信頼性が高い液晶表示装置を実現する効果がある。

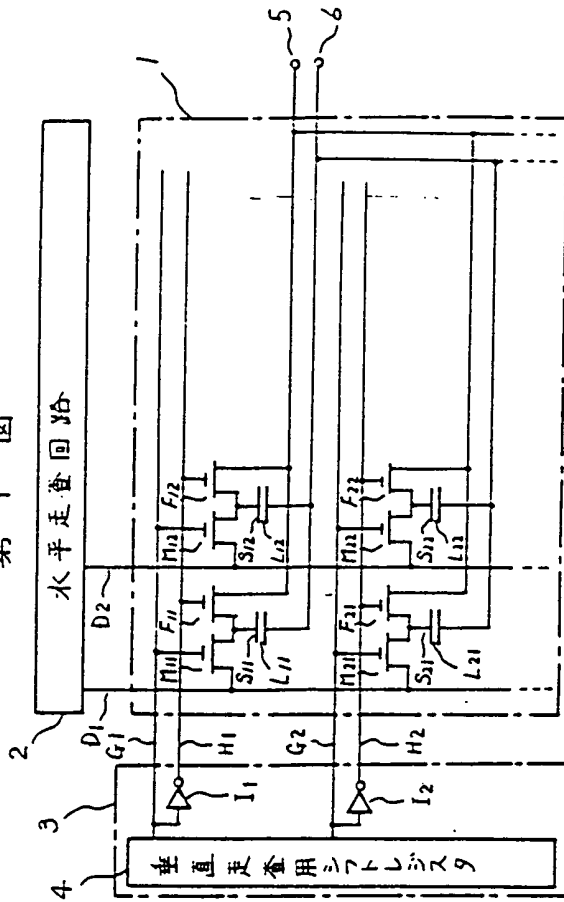
#### 4. 図面の簡単な説明

第1図は本発明の一実施例としての液晶表示装置を示す構成図、第2図及び第3図はそれぞれ第1図の実施例の異なる駆動方法を説明する各部信号波形図、第4図及び第5図は、第1図の実施例の液晶表示装置で中間調表示を行うための水平走査回路をそれぞれアナログ方式とデジタル方式で実現した例を示す構成図、第6図は第1図の実施例で中間調表示を行う駆動方法の各部信号波形図、第7図及び第8図はそれぞれ本発明の他の一実施例の液晶表示装置を示す構成図、第9図は液晶セルの電圧輝度特性例を示すグラフである。

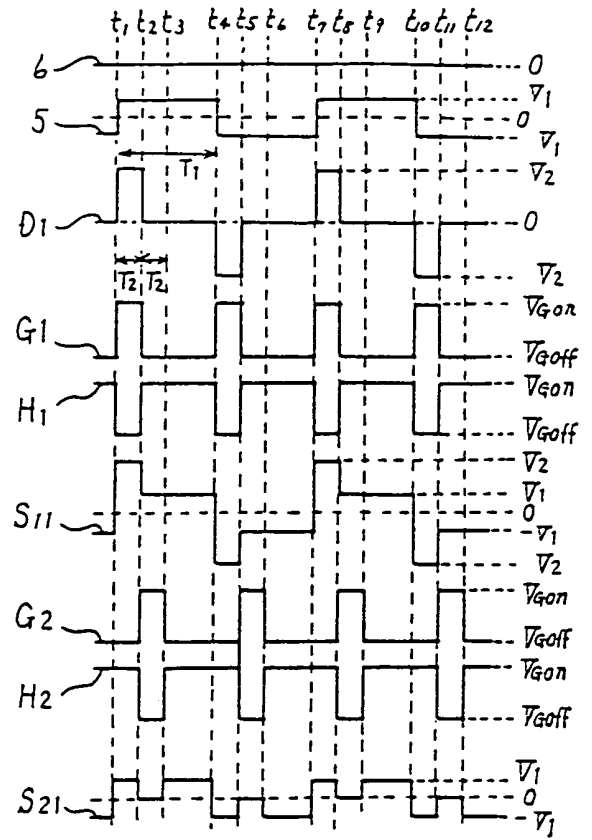
1, 31, 32…液晶パネル、2…水平走査回路、3…垂直走査回路、4, 8…シフトレジスタ、5…非選択電位供給端子、6…対向共通電極、D, …第 $j$ 列信号電極、G, …第一の第 $j$ 行走走電極、

H, …第二の第 $j$ 行走走電極、 $M_m$ ,  $F_m$ ,  $N_m$ ,  $P_m$ , …画素トランジスタ、 $L_m$ , …第 $j$ 行第 $i$ 列液晶セル、 $S_m$ , …第 $i$ 行第 $j$ 列画素駆動電極、7…線順次走査回路、9…2分周器、15…極性反転アンプ、20…A/D変換器、21…ラインメモリ、22…パルス幅変調器、 $R_m$ , …抵抗素子。

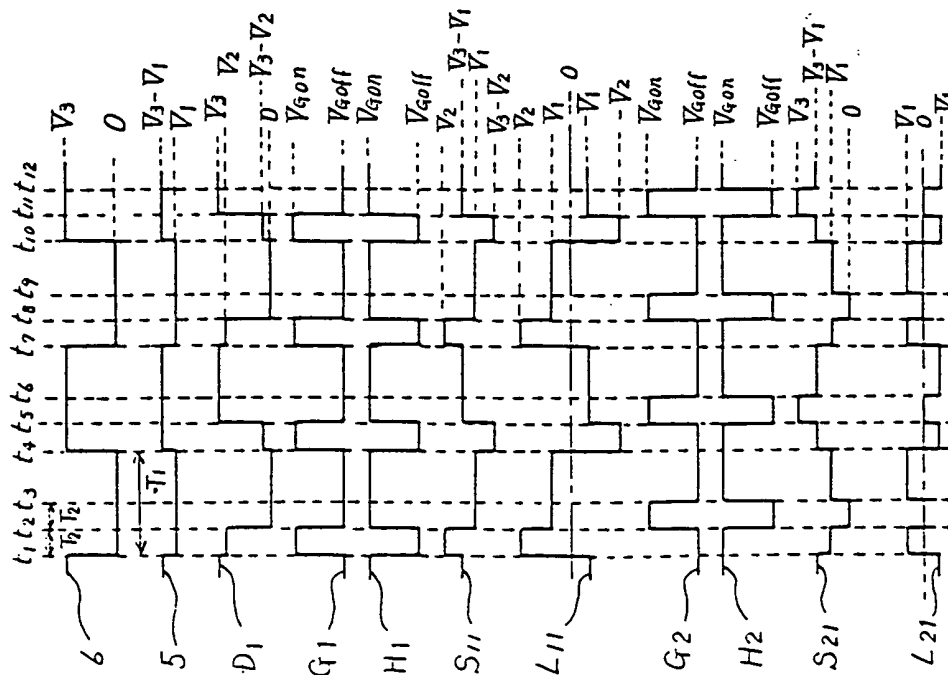
第 1 図

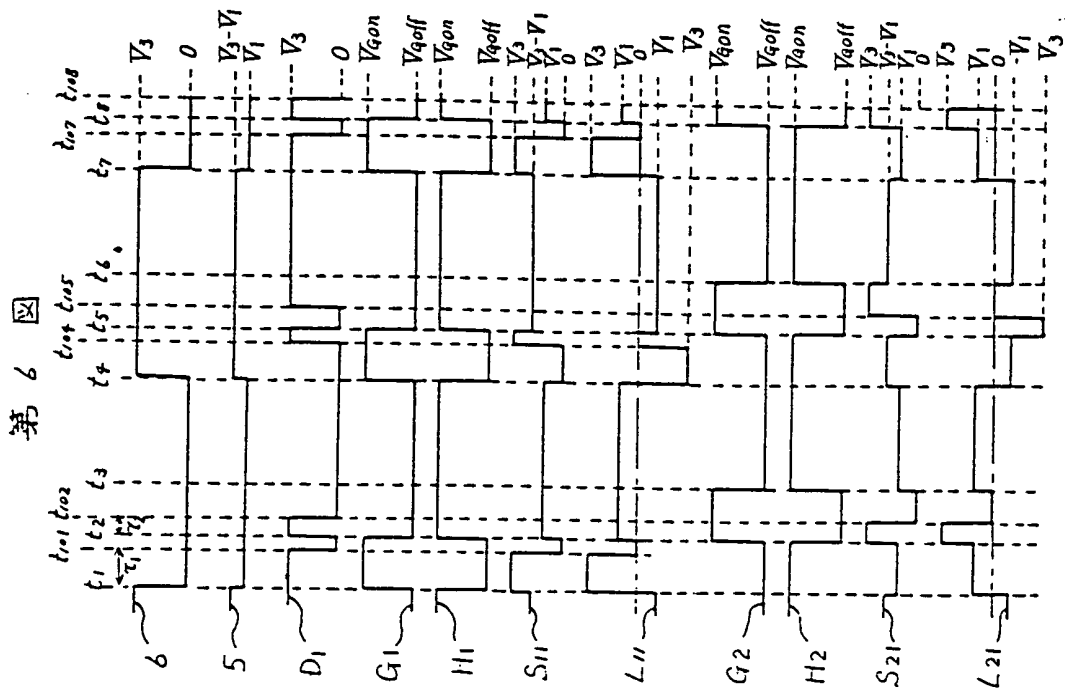
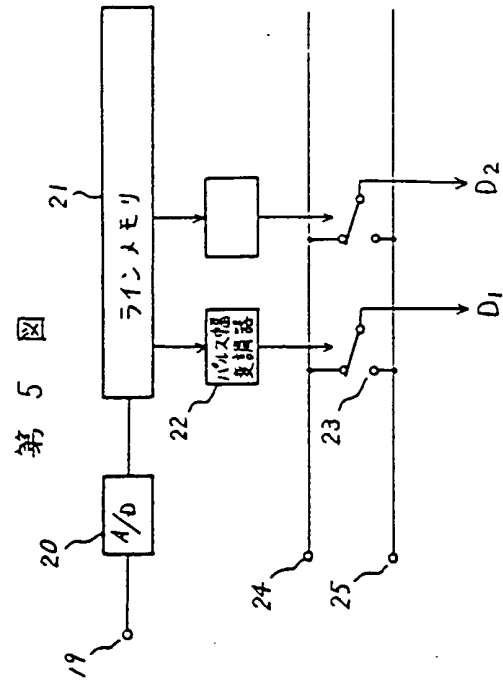
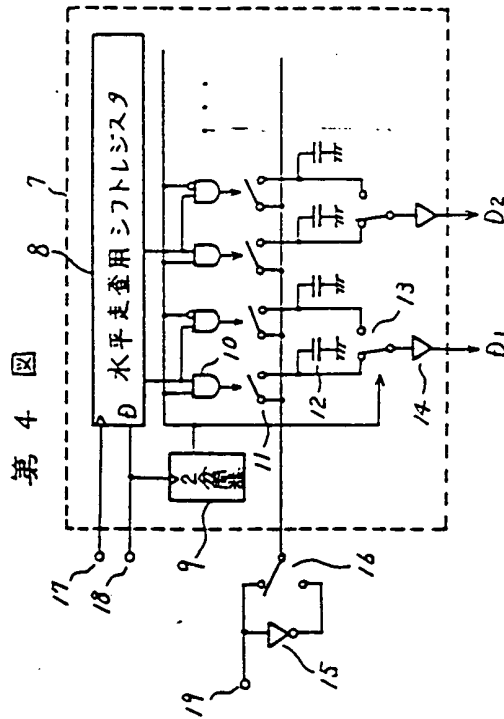


第 2 図

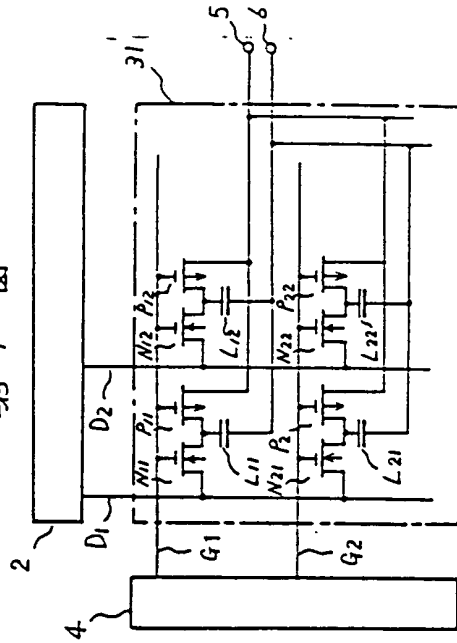


第 3 図

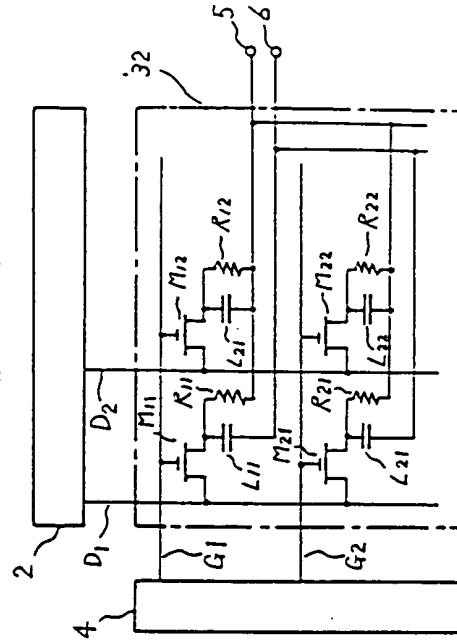




第 7 図



第 8 図



第 9 図

